

PROCESSOR AND INFORMATION PROCESSOR

Publication number: JP10254696

Publication date: 1998-09-25

Inventor: OWAKI YUKITO; SEKINE MASATOSHI; FUJII HIROSHIGE

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: G06F7/00; G06F9/30; G06F9/318; G06F9/38; G06F15/78; G06F7/00; G06F9/30; G06F9/318; G06F9/38; G06F15/76; (IPC1-7): G06F9/30; G06F15/78

- European: G06F9/38T2; G06F9/30Z; G06F9/318; G06F15/78R

Application number: JP19970059566 19970313

Priority number(s): JP19970059566 19970313

Also published as:

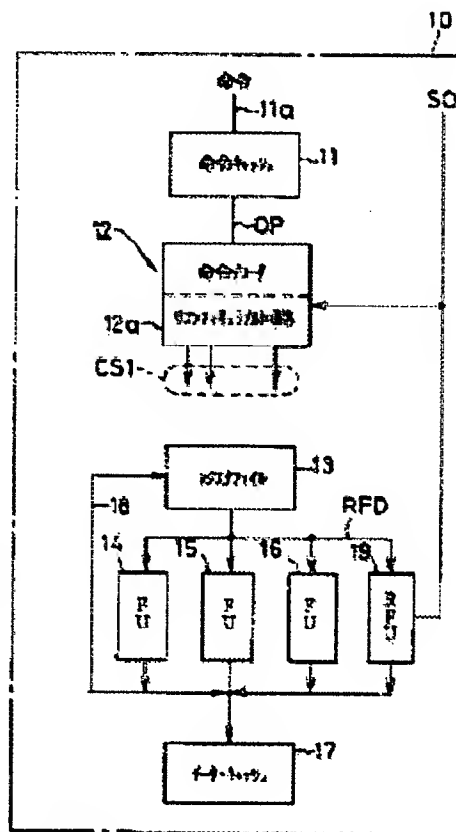
US6157997 (A1)

Report a data error here

Abstract of JP10254696

PROBLEM TO BE SOLVED: To actualize a dedicated circuit for a specific purpose of use in an actual use site and to make the implementation of the specific purpose of use speedy by reconstituting a 1st and a 2nd reconfigurable circuit and setting a specific instruction corresponding to the 2nd reconfigurable circuit at the same time.

SOLUTION: A user constitutes the RFU 19 so as to attain his or her desired operational function, adds instructions using the RFU 19 to an instruction set, and further reconstitutes a reconfigurable circuit 12a in an instruction decoder 12 so that respective circuits and buses in a processor are controlled by properly decoding the added instruction. An instruction sent to the instruction decoder 12 is converted into a control signal CS1. With the control signal CS1, the respective circuit blocks and buses are controlled. Data regarding cosine conversion are processed through operation between a register file 13 and the RFU 19, but the data of the register file 13 are supplied to the RFU 19 through a bus RFD.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-254696

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl. ⁸	識別記号	F I
G 0 6 F 9/30	3 1 0	G 0 6 F 9/30
15/78	5 1 0	15/78
		3 1 0 B
		5 1 0 G

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願平9-59566

(22)出願日 平成9年(1997)3月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大脇 幸人

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 関根 優年

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 藤井 洋重

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

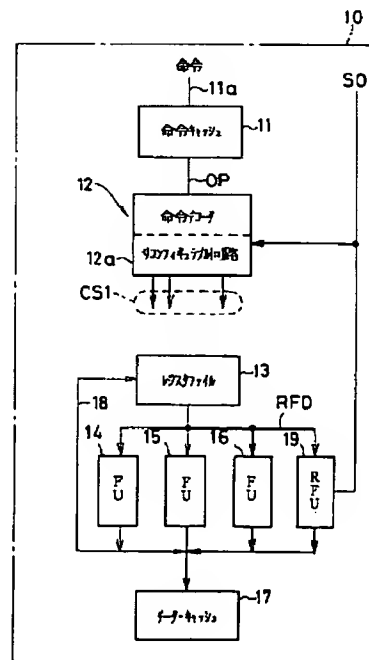
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 プロセッサ及び情報処理装置

(57)【要約】

【課題】 特定のアプリケーションを高速に演算可能で且つローコストなプロセッサを提供する。

【解決手段】 命令デコードの一部または全部を、信号に従って回路構成を変更し得る第1のリコンフィギュラブル回路で構成すると共に、処理装置の一部としてレジスタファイルの出力側に接続され、信号に従って回路構成を変更し得る演算用の第2のリコンフィギュラブル回路を設け、前記第2のリコンフィギュラブル回路が所定の演算機能を実現するように再構成すると共に、該第2のリコンフィギュラブル回路に対応した特定命令を設定し、この特定の命令が入力されたときにこれに対応した制御信号を出力するように前記第1のリコンフィギュラブル回路を再構成した場合は、前記特定の命令の実行時に、前記制御信号に基づいて前記第2のリコンフィギュラブル回路により所定の演算機能を実行する。



【特許請求の範囲】

【請求項1】 実行すべき命令をデコードする命令デコーダと、前記命令の実行に必要なとなるデータを保持するレジスタファイルと、前記命令デコーダのデコード結果に従って前記データを用いた演算を実行し、その処理結果を前記データとして前記レジスタファイルへ書き戻す処理装置とを備えたプロセッサにおいて、前記命令デコーダの一部または全部を、信号に従って回路構成を変更し得る第1のリコンフィギュラブル回路で構成すると共に、前記処理装置の一部として前記レジスタファイルの出力側に接続され、信号に従って回路構成を変更し得る演算用の第2のリコンフィギュラブル回路を設け、前記第2のリコンフィギュラブル回路が所定の演算機能を実現するように再構成すると共に、該第2のリコンフィギュラブル回路に対応した特定命令を設定し、この特定の命令が入力されたときにこれに対応した制御信号を出力するように前記第1のリコンフィギュラブル回路を再構成した場合は、前記特定の命令の実行時に、前記制御信号に基づいて前記第2のリコンフィギュラブル回路により前記所定の演算機能を実行することを特徴とするプロセッサ。

【請求項2】 メモリ及びプロセッサを備えた情報処理装置において、回路構成を変更し得るリコンフィギュラブル回路と、前記リコンフィギュラブル回路をコントロールするコントロール回路とを設け、前記リコンフィギュラブル回路を特定の演算機能を実行する専用演算回路に再構成し、命令の実行時に、前記コントロール回路が前記メモリの特定空間の活性値を検出したとき、前記専用演算回路によって前記特定の演算機能を実行するようにしたことを特徴とする情報処理装置。

【請求項3】 前記専用演算回路の演算終了時に前記コントロール回路から前記プロセッサへ割り込み信号を送る構成にした請求項2記載の情報処理装置。

【請求項4】 命令を格納したメモリと、前記メモリ側から読み出された命令を実行するプロセッサとを備えた情報処理装置において、回路構成を変更し得る複数のリコンフィギュラブル回路と、前記各リコンフィギュラブル回路をそれぞれコントロールする複数のコントロール回路とを設け、前記各リコンフィギュラブル回路に対応するメモリ特定空間の値が活性値を示したときに、それぞれ対応する前記リコンフィギュラブル回路を特定の演算機能を実行する専用演算回路に再構成し、命令の実行時に、前記コントロール回路がこれに対応する前記メモリ特定空間の活性値を検出したとき、該コントロール回路に対応する前記専用演算回路によって前記特定の演算機能を実行するようにしたことを特徴とする

情報処理装置。

【請求項5】 前記各専用演算回路の演算終了時に、各々対応する前記コントローラから前記プロセッサへそれぞれ割り込み信号を送る構成にしたことを特徴とする請求項4記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路構成を変更し得るリコンフィギュラブル回路を備えたプロセッサ及びこれを搭載した情報処理装置に関する。

【0002】

【従来の技術】近年、情報処理機器では、マイクロプロセッサを用い、ソフトウェアで記述したプロセッサ命令でデータを逐次処理する形態が主流となっている。このようなマイクロプロセッサを用いた形態は、ソフトウェアプログラムの変更により機能の変更が容易であることや、複数の機能を同一ハードウェアで実現できること等の大きな利点があり、その重要性を増すに伴い、マイクロプロセッサに一層の処理性能の高速化が要求されている。

【0003】図8は、従来のプロセッサの要部構成を示すブロック図である。

【0004】このプロセッサ100は、命令がデータバス101aから入力され、命令キャッシュ101に記憶される。この命令キャッシュ101中の所定の命令が読み出されると、バスOPを通して命令デコーダ102へ送られてデコードされ、その結果としてバスCSに制御信号が発生する。この制御信号によりプロセッサ内の各回路ブロック及び各バスが制御される。

【0005】データの処理は、演算に必要なソースデータを記憶するレジスタファイル103とファンクションユニット(FU)104～106との間の演算によって行われる。すなわち、レジスタファイル103のデータはファンクションユニット104～106へバスRFDを通して供給され、その演算結果はバス108を通してレジスタファイル103に書き戻される。また、レジスタファイル103のデータは、データキャッシュ107との間でロード及びストアされる。

【0006】このように演算は、ファンクションユニット(FU)104～106において行われるが、チップ面積増大を避けるため最も使用頻度の高いもののみをハードウェアとして実現する。即ちファンクションユニット104～106は、ALU(アリスメティック・ロジック・ユニット)、FPU(フローティング・ポイント・ユニット)等で構成される。

【0007】ここで、ユーザは、ユーザ独自のアプリケーションを利用するわけであるから、個々のユーザにおいては特定のアプリケーションを高速化させるファンクションユニットを搭載することが、ユーザが構成するシステムの高速化に効果的である。

【0008】

【発明が解決しようとする課題】しかしながら、プロセッサのロウコスト化を図るためには、生産数量をある程度維持する必要がある。上述のような特定用途にしばったファンクションユニットを搭載したプロセッサは、汎用プロセッサほどの量の需要が無くコストが高くなる。この点から、プロセッサに特定用途向けのファンクションユニットを搭載することは困難であり、その結果、特定のアプリケーションの実行においては、十分な高速性を達成することができないという問題があった。

【0009】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、特定のアプリケーションを高速に演算可能で且つロウコストなプロセッサを提供することである。またその他の目的は、特定のアプリケーションの高速化及び装置のロウコスト化を容易に実現できる情報処理装置を提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するために、第1の発明であるプロセッサの特徴は、実行すべき命令をデコードする命令デコーダと、前記命令の実行に必要なソースデータを保持するレジスタファイルと、前記命令デコーダのデコード結果に従って前記ソースデータを用いた演算を実行し、その処理結果を前記ソースデータとして前記レジスタファイルへ書き戻す処理装置とを備えたプロセッサにおいて、前記命令デコーダの一部または全部を、外部信号に従って回路構成を変更し得る第1のリコンフィギュラブル回路で構成すると共に、前記処理装置の一部として前記レジスタファイルの出力側に接続され、外部信号に従って回路構成を変更し得る演算用の第2のリコンフィギュラブル回路を設け、前記第2のリコンフィギュラブル回路が所定の演算機能を実現するように再構成すると共に、該第2のリコンフィギュラブル回路に対応した特定命令を設定し、この特定の命令が入力されたときにこれに対応した制御信号を出力するように前記第1のリコンフィギュラブル回路を再構成した場合は、前記特定の命令の実行時に、前記制御信号に基づいて前記第2のリコンフィギュラブル回路により前記所定の演算機能を実行することにある。

【0011】第1の発明によれば、ユーザは、必要に応じて、第1及び第2のリコンフィギュラブル回路を再構成すると同時に、第2のリコンフィギュラブル回路に対応した特定命令を設定することにより、実使用現場で特定用途向けの専用回路を実現でき、該特定用途の実行時には高速性が達成される。また、他の用途にも対応可能であることから量産効果上がる。

【0012】第2の発明である情報処理装置の特徴は、命令を格納したメモリと、前記メモリ側から読み出された命令を実行するプロセッサとを備えた情報処理装置において、回路構成を変更し得るリコンフィギュラブル回路と、前記リコンフィギュラブル回路をコントロールす

るコントロール回路とを設け、前記メモリの特定期間の値が活性値を示したときに、前記リコンフィギュラブル回路を特定の演算機能を実行する専用演算回路に再構成し、命令の実行時に前記コントロール回路が前記特定期間の活性値を検出したとき、前記専用演算回路によって前記特定の演算機能を実行するようにしたものである。

【0013】この第2の発明によれば、ユーザは、プログラム中で専用演算回路を使用する必要に応じ、メモリの特定期間の値（フラグ）を活性化する。すると、このプログラム実行中にコントロール回路は常にそのフラグを監視し、該フラグが活性化された場合は、専用演算回路を起動して特定の演算機能を実行する。これによって、コンパイラは前記専用演算回路にどのような演算機能が構成されているかを知る必要がなくなる。

【0014】第3の発明である情報処理装置の特徴は、上記第2の発明において、前記専用演算回路の演算終了時に前記コントロール回路から前記プロセッサへ割り込み信号を送る構成にしたものである。

【0015】この第3の発明によれば、専用演算回路の演算終了を的確にプロセッサへ伝えることができる。

【0016】第4の発明である情報処理装置の特徴は、命令を格納したメモリと、前記メモリ側から読み出された命令を実行するプロセッサとを備えた情報処理装置において、回路構成を変更し得るリコンフィギュラブル回路と、前記各リコンフィギュラブル回路をそれぞれコントロールする複数のコントロール回路とを設け、前記各リコンフィギュラブル回路に対応する前記メモリの特定期間の値が活性値を示したときに、それぞれ対応する前記リコンフィギュラブル回路を特定の演算機能を実行する専用演算回路に再構成し、命令の実行時に前記コントロール回路がこれに対応する前記特定期間の活性値を検出したとき、該コントロール回路に対応する前記専用演算回路によって前記特定の演算機能を実行するようにしたことにある。

【0017】この第4の発明によれば、従来のコンパイラをほとんどそのまま使用して、高速性を有する複数種の特定期間向け演算回路を実使用現場で実現できる。

【0018】第5の発明である情報処理装置の特徴は、上記第4の発明において、前記各専用演算回路の演算終了時に、各々対応する前記コントロールから前記プロセッサへそれぞれ割り込み信号を送る構成にしたものである。

【0019】この第5の発明によれば、上記第4の発明において、上記第3の発明と同等の作用を呈する。

【0020】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。図1は、本発明の第1実施形態に係るプロセッサの要部構成を示すブロック図である。

【0021】このプロセッサは、従来のプロセッサにおいて、命令デコーダ12の一部あるいは全部が、外部信

号S0に従って回路構成を変更し得るリコンフィギュラブル回路12aで構成され、さらに処理装置には、通常のファンクションユニット(FU)に加えて、リコンフィギュラブル回路で構成したリコンフィギュラブル・ファンクションユニット(RFU)19が設けられている。

【0022】図1中の命令キャッシュ11、レジスタファイル13、ファンクションユニット(FU)14、15、16、データキャッシュ17、及びデータバス18は、図7に示した従来のプロセッサの各構成要素101、103～108にそれぞれ相当する。また、図示はしないが、本実施形態のプロセッサは、プログラムカウンタ、インクリメント回路、及びメモリマネジメントユニット等を備えている。なお、ファンクションユニット14、15、16、データキャッシュ17、データバス18、及びRFU19で処理装置が構成されている。

【0023】図2は、RFU19の構成例を説明するための図である。

【0024】RFU19は、各3入力のルックアップテーブル(LUT)を複数段接続して構成されている。3入力ルックアップテーブル21、22、23は、EEPROMで構成されており、3入力の特定の組み合わせでのみ“1”が立つようになっている。ここで、どの入力ベクトルに対し“1”が立つかはテーブルへの書き込みデータによってリコンフィギュラブルとなっている。これらを複数段接続すると多入力回路が構成される。ここで、多段接続の接続線21a、22aはプログラマブルに可変としている。

【0025】次に、第1実施形態の動作を説明する。

【0026】ユーザは、まず自身が望む演算機能を達成するようRFU19を構成し、このRFU19を利用する命令を命令セットに追加し、さらに、この追加された命令が適切にデコードされてプロセッサ10内の各回路及びバスが制御されるように命令デコーダ12中のリコンフィギュラブル回路12aを再構成する。また、コンパイラを変更して、追加された命令を含むようにし、このコンパイラでソースプログラムをコンパイルすることにより、このプロセッサチップ10を動作させるプログラムを得る。

【0027】上記RFU19が例えばコサイン変換用の演算回路として構成された場合を例として説明する。

【0028】所望の命令、例えばコサイン変換に関する命令は、メインメモリからデータバス11aを介して入力されて、命令キャッシュ11に記憶される。プログラムカウンタから読み出された命令アドレスをインクリメント回路で加算し、その命令アドレスを命令キャッシュ11及びメモリマネジメントユニットへ送る。

【0029】命令キャッシュ11がヒットすると当該アドレスの命令が読み出され、命令デコーダ12へ送られる。命令キャッシュ11がヒットしない場合は、外部メ

モリからの命令の読み出しが必要なので、バスインターフェースを介して外部メモリアクセスが行われ、データを読み出す。命令デコーダ12に送られた前記命令は、制御信号CS1に変換される。

【0030】この制御信号CS1により各回路ブロック及び各バスが制御される。当該コサイン変換に関するデータの処理は、レジスタファイル13とRFU19との間の演算によって行われるが、レジスタファイル13のデータは、RFU19にバスRFDを通して供給される。

【0031】RFU19の演算結果は、データバス18を介して、再度、レジスタファイル13に書き戻されるか、データキャッシュ17に書き戻される。

【0032】このように、RFU19を例えばコサイン変換処理用に再構成すれば、コサイン変換を多用する例えば画像圧縮等の処理が極めて高速に動作するプロセッサを得ることができる。また、上記プロセッサチップ10は他のユーザの用途にも対応できるため量産効果が上りロウコストで生産できる。

【0033】次に、本発明の第2実施形態を説明する。

【0034】第2実施形態は、基本的に従来のプロセッサ用に開発されたコンパイラをそのまま用いて、上記第1実施形態と同等の効果をを得ることができるようにしたものである。

【0035】図3は、本発明の第2実施形態に係る情報処理装置の要部構成を示すブロック図である。

【0036】チップ30のプロセッサは、従来のプロセッサと同様の構成であり、割込み信号IPを出力する割込み制御回路31も従来でも設けられているものである。本実施形態においては、図4に示すようにメインメモリの特定アドレスに対応するデータ61を格納するメモリ回路40と、特定の演算機能を実現するためのリコンフィギュラブル回路51と、メモリ回路40に記憶されたデータに従ってリコンフィギュラブル回路51を制御するコントロール回路52とを、プロセッサ30の外部に設けている。

【0037】メモリ回路40とデータキャッシュ17の間にはバス41が、またデータキャッシュ17とRFU51との間にはRFU51へのデータ供給やデータキャッシュ17への演算結果格納を行うためのバス53が設けられ、さらにはコントロール回路52からプロセッサ30に割込みをかけるための割込み制御信号用の信号線54が設けられている。

【0038】システム開発上の取り決めとして、メインメモリのアドレス空間における特定のアドレス空間(図4の61)をプロセッサ30とRFU51の通信のために専用に確保し、特定アドレス空間61中のアドレスa0のフラグが立った場合は、RFU51を0～からn-1のn個に分割して各部分をリコンフィギュアし、回路を形成した1番目のRFU0を活性化してそこ

にデータを流す。

【0039】ユーザは、ソフトウェア開発時にプログラム中でRFU0を使用する必要に応じ、アドレスa0にフラグを立てる(図5のステップ71)。すると、このプログラム実行中にコントロール回路52は常にメモリ回路40を監視し、フラグが立っていた場合はデータをバス53を通してRFU51の領域RFU0に流し、その演算結果をバス53に返すプログラムではRFUの演算終了を待って次のステップへ移る(図5のステップ7)。

【0040】演算終了の検知は、例えばRFUを構成する際クロックで終了することがわかっていればクロック数のカウントで行うことができるし、また、RFUでの演算終了をプロセッサ30に信号線54を通し割込みをかけることで実現することもできる。

【0041】以上により、コンパイラは、どのような演算機能がRFU51に構成されているかを知る必要がない。また、コンパイルの結果は、図6に示すようにコードすなわちインストラクション命令部81とデータ部82に分けられるが、上記システムでは、コード部81の命令セットには手を加えずデータ部82(図6中の82a:アドレスa0)のみをRFU51の制御に用いているので、コンパイラを手直しする必要がなく、従来のコンパイラを本質的にそのまま使用できる。

【0042】本第2実施形態では、メモリ空間61をメモリ回路40に割り当てたが、コントロール回路52からデータキャッシュ17をメインメモリのアドレスで参照できるように構成しておけば、メモリ回路40はデータキャッシュ17と兼ねることも可能である。

【0043】このように、第2実施形態により、コンパイラを変更することなくユーザ独自の高速演算機能を具備したプロセッサをロウコストで実現することができる。

【0044】次に、本発明の第3実施形態を説明する。

【0045】本実施形態は、上記第2実施形態のハードウェア構成を複数のRFUチップを用いて構成した例である。

【0046】図7は、本発明の第3実施形態に係る情報処理装置の要部構成を示すブロック図である。

【0047】この情報処理装置は、システムバス90上に、命令を格納したメインメモリ91と、従来と同様の構成のプロセッサ(データキャッシュを含む)92と、異なる特定の演算機能を実行するRFU部93、94とが接続されている。

【0048】RFU部93、94は、それぞれ第2実施形態のRFU51、コントロール回路52及びメモリ回路40を含んだものであり、各々において上記第2実施形態と同様の動作を行う。また、メインメモリ91の特定アドレスをRFU93、94の起動等の通信用に使い、プロセッサ92への割込みは専用の信号線95を付

加することで実現している。

【0049】この第3実施形態によれば、従来のコンパイラを本質的にそのまま使用して、高速性を有する複数種の特定制用アプリケーション用演算回路を具備した情報処理装置をロウコストで実現することができる。

【0050】

【発明の効果】以上詳細に説明したように、第1の発明によれば、第2のリコンフィギュラブル回路が所定の演算機能を実現するように再構成すると共に、該第2のリコンフィギュラブル回路に対応した特定命令を設定し、この特定の命令が入力されたときにこれに対応した制御信号を出力するように前記第1のリコンフィギュラブル回路を再構成した場合は、前記特定の命令の実行時に、前記制御信号に基づいて前記第2のリコンフィギュラブル回路により前記所定の演算機能を実行するようにしたので、実使用現場で特定用途向けの専用演算回路を実現でき、該特定用途の実行時には高速性を達成することが可能になる。さらに、他の用途にも対応可能であることから、量産効果が上がり低コストで生産することができる。

【0051】第2の発明である情報処理装置によれば、メモリの特定制用空間の値が活性値を示したときに、前記リコンフィギュラブル回路を特定の演算機能を実行する専用演算回路に再構成し、命令の実行時に、前記コントロール回路が前記特定制用空間の活性値を検出したとき、前記専用演算回路によって前記特定の演算機能を実行するようにしたので、コンパイラはどのような演算機能が前記専用演算回路に構成されているかを知る必要がなくなる。これにより、従来のコンパイラを本質的にそのまま使用して、上記第1の発明と同等の効果を達成することができる。

【0052】第3の発明である情報処理装置によれば、上記第2の発明において、前記専用演算回路の演算終了時に前記コントロール回路から前記プロセッサへ割込み信号を送る構成にしたので、上記第2の発明の効果を比較的簡単な構成で実現することができる。

【0053】第4の発明である情報処理装置によれば、各リコンフィギュラブル回路に対応するメモリの特定制用空間の値が活性値を示したときに、それぞれ対応する前記リコンフィギュラブル回路を特定の演算機能を実行する専用演算回路に再構成し、命令の実行時に、コントロール回路がこれに対応する前記特定制用空間の活性値を検出したとき、該コントロール回路に対応する前記専用演算回路によって前記特定の演算機能を実行するようにしたので、従来のコンパイラを本質的にそのまま使用して、実使用現場で複数種の特定制用用途向けの専用演算回路を実現できる。これにより、各特定用途の実行時には高速性が達成されるため、ユーザの利便性が一層向上する。さらに、他の用途にも対応可能であることから、量産効果が上がり低コストで生産することができる。

【0054】第5の発明である情報処理装置によれば、上記第4の発明において、前記各専用演算回路の演算終了時に、各々対応する前記コントローラから前記プロセッサへそれぞれ割込み信号を送る構成にしたものである。

【0055】この第5の発明によれば、上記第4の発明において、上記第3の発明と同等の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るプロセッサの要部構成を示すブロック図である。

【図2】RFUの構成例を説明するための図である。

【図3】本発明の第2実施形態に係る情報処理装置の要部構成を示すブロック図である。

【図4】メインメモリにおける特定アドレスのデータ部を示す図である。

【図5】第2実施形態におけるユーザプログラムのRFU処理部分を示す概念図である。

【図6】コンパイラの構成を示す概念図である。

【図7】本発明の第3実施形態に係る情報処理装置の要部構成を示すブロック図である。

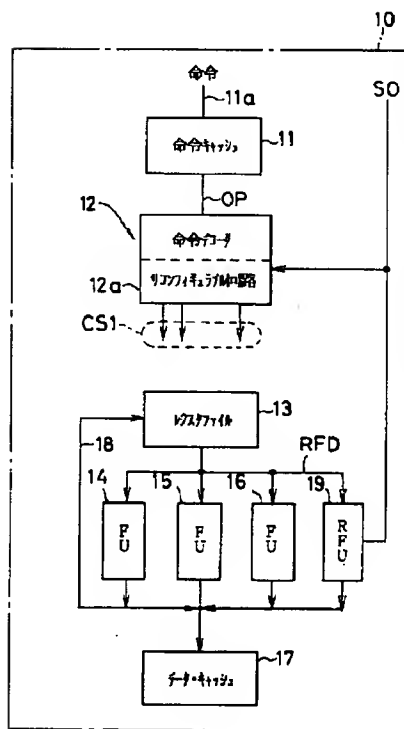
【図8】従来のプロセッサの要部構成を示すブロック図

である。

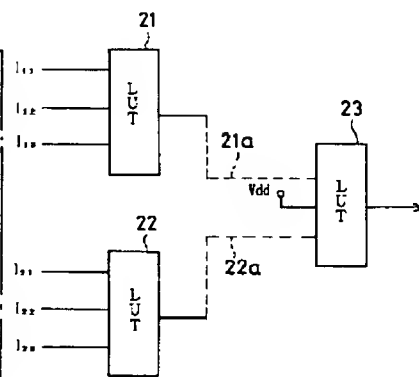
【符号の説明】

- 11 命令キャッシュ
- 12 命令デコーダ
- 12a リコンフィギュラブル回路
- 13 レジスタファイル
- 14, 15, 16 ファンクションユニット(FU)
- 17 データキャッシュ
- 18 データバス
- 19 RFU30 チップ
- 30 プロセッサチップ
- 31 割込み制御回路
- 40 メモリ回路
- 51 RFU回路
- 52 コントロール回路
- 54, 95 割込み制御信号用の信号線
- 61 特定アドレスに対応するデータ
- 91 メインメモリ
- 92 プロセッサ
- 93, 94 RFU部
- OS 外部信号

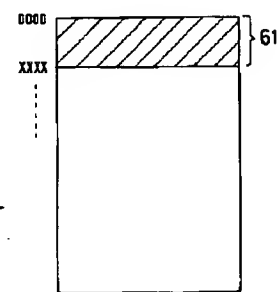
【図1】



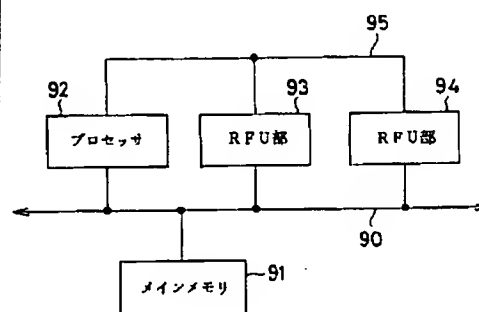
【図2】



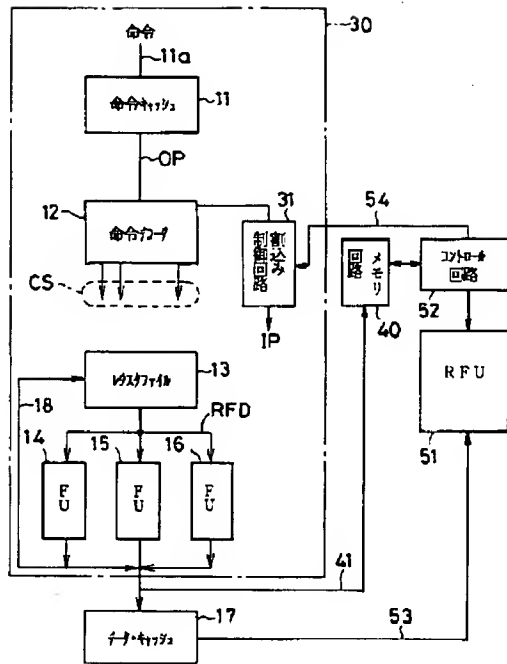
【図4】



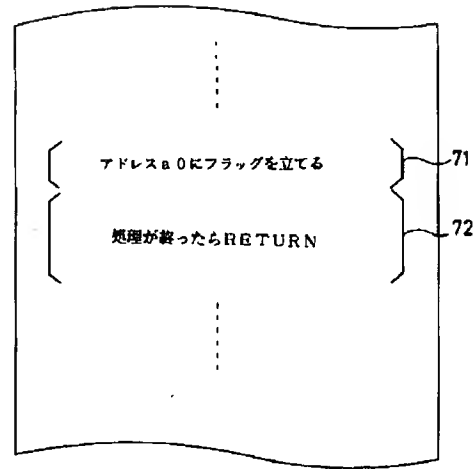
【図7】



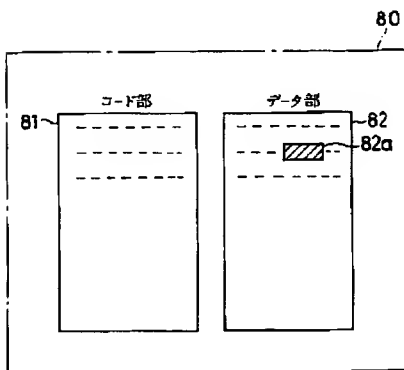
【図3】



【図5】



【図6】



【図8】

